

Docket No.: 67162-019

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Toru OKAMURA :
Serial No.: : Group Art Unit:
Filed: July 25, 2003 : Examiner:
For: STACKED SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

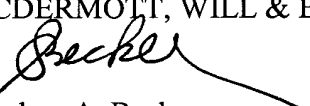
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-216913, filed July 25, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:mcw
Facsimile: (202) 756-8087
Date: July 25, 2003

【書類名】 特許願

【整理番号】 540081JP01

【提出日】 平成14年 7月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/065

【発明者】

 【住所又は居所】 兵庫県川西市東多田三丁目5番8号 多田電機株式会社
 内

 【氏名】 岡村 透

【特許出願人】

 【識別番号】 000006013

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【手数料の表示】

 【予納台帳番号】 013262

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 積層型半導体装置

【特許請求の範囲】

【請求項 1】 複数の電極パッドが設けられた四角形の広がり面を有する半導体素子を積層して搭載している積層型半導体装置において、

各半導体素子の電極パッドが、上記四角形の隣り合う 2 つの辺の近傍に集中して配置され、

積層方向に隣り合う半導体素子が、それらの広がり面と直交する方向にみて各半導体素子の電極パッドがそれぞれ他方の半導体素子と重ならないように、上記広がり面と平行な方向にずらせて配置されていることを特徴とする積層型半導体装置。

【請求項 2】 複数の電極パッドが設けられた四角形の広がり面を有する半導体素子を 2 つ積層して搭載している積層型半導体装置において、

各半導体素子の電極パッドが、上記四角形の 1 つの辺の近傍に集中して配置され、

両半導体素子が、電極パッドが設けられた広がり面同士が互いに向かい合い、かつ各半導体素子の電極パッドがそれぞれ他方の半導体素子と重ならないように、上記広がり面と平行な方向にずらせて配置されていることを特徴とする積層型半導体装置。

【請求項 3】 複数の電極パッドが設けられた半導体素子を積層して搭載している積層型半導体装置において、

各半導体素子の電極パッドが、該半導体素子の側面に配置されていることを特徴とする積層型半導体装置。

【請求項 4】 上記側面が、半導体素子の広がり面に対して傾斜していることを特徴とする請求項 3 に記載の積層型半導体装置。

【請求項 5】 積層方向に隣り合う半導体素子同士が、接着材を用いて直接接合されていることを特徴とする請求項 1 ～ 4 のいずれか 1 つに記載の積層型半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、複数の半導体素子を積層して搭載している薄型の積層型半導体装置に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、半導体素子（半導体チップ）の実装密度を高めて演算処理能力ないしは記憶容量の向上を図り、あるいは装置の小型化を図るために、複数の半導体素子を積層して搭載した半導体素子積層型の半導体装置（以下、略して「積層型半導体装置」という。）が広く用いられている。そして、従来の積層型半導体装置において、同一サイズ（同一形状）の複数の半導体素子を積層して搭載する場合は、積層方向に隣り合う半導体素子間に、ワイヤ接続を行うための空間部を必要とする。

【 0 0 0 3 】

図 4（a）～（c）は、同一サイズの複数の半導体素子が積層された従来の積層型半導体装置の一例を示している。図 4（a）に示すように、この従来の積層型半導体装置では、半導体素子 1 0 1 の長方形（ないし正方形）の広がり面上において、該長方形の向かい合う 2 つの辺の近傍に、それぞれ、一列に並ぶ複数の電極パッド 1 0 2 が配置されている。そして、図 4（b）、（c）に示すように、各電極パッド 1 0 2 上には、これをワイヤ 1 0 9 と接続するためのワイヤ接続部 1 0 3 が設けられている。ここで、半導体素子 1 0 1 は、シリコン基板 1 0 6（Si 基板）の上に、順に、配線層 1 0 7 と、窒化ケイ素膜 1 0 8（保護層）とが積層された構造を有している。電極パッド 1 0 2 の下面は配線層 1 0 7 に接続され、上面は外部に露出している。

【 0 0 0 4 】

【発明が解決しようとする課題】

そして、この従来の積層型半導体装置では、ワイヤ接続を行うための空間部を確保するために、積層方向に隣り合う半導体素子 1 0 1 の間に、ダミー素子 1 0 4（シリコンスペーサ）が配置されている。なお、ダミー素子 1 0 4 は、ダイボ

ンド材 1 0 5 により半導体素子 1 0 1 に接合されている。このように、同一サイズの複数の半導体素子 1 0 1 が積層された従来の積層型半導体装置では、半導体素子 1 0 1 間にダミー素子 1 0 4 が配置されるので、該積層型半導体装置の全体としての高さないし厚さが大きくなり、十分に小型化を図ることができないといった問題がある。

【 0 0 0 5 】

なお、特開平 6 - 2 4 4 3 6 0 号公報には、ダミー素子を用いず、積層された同一サイズの各半導体素子の周辺部に段差を設けることにより、ワイヤ接続を行うための空間部を確保し、全体としての高さないし厚さを小さくした積層型半導体装置が開示されている。しかし、この従来の積層型半導体装置では、半導体素子に段差を形成する加工工程を必要とするので、その製造プロセスが複雑化するという問題がある。また、半導体素子は、段差の形成に耐えることができる厚さを必要とするので、薄い半導体素子を用いることができず、積層型半導体装置の全体としての高さないし厚さを十分に小さくすることができないといった問題もある。

【 0 0 0 6 】

本発明は、上記従来の問題を解決するためになされたものであって、同一サイズの複数の半導体素子が積層された場合でも、全体的な高さないし厚さを小さくすることができ、十分に小型化を図ることができる積層型半導体装置を提供することを解決すべき課題とする。

【 0 0 0 7 】

【課題を解決するための手段】

上記課題を解決するためになされた本発明の第 1 の態様にかかる積層型半導体装置（半導体素子積層型の半導体装置）は、複数の電極パッド（配線パッド）が設けられた四角形の広がり面を有する半導体素子を積層して搭載している。ここで、各半導体素子の電極パッドは、上記四角形の隣り合う 2 つの辺の近傍に集中して配置されている。そして、積層方向に隣り合う半導体素子は、それらの広がり面と直交する方向にみて各半導体素子の電極パッドがそれぞれ他方の半導体素子と重ならないように、広がり面と平行な方向にずらせて配置されている。

【 0 0 0 8 】

本発明の第2の態様にかかる積層型半導体装置は、複数の電極パッドが設けられた四角形の広がり面を有する半導体素子を2つ積層して搭載している。ここで、各半導体素子の電極パッドは、上記四角形の1つの辺の近傍に集中して配置されている。そして、両半導体素子は、電極パッドが設けられた広がり面同士が互いに向かい合い、かつ各半導体素子の電極パッドがそれぞれ他方の半導体素子と重ならないように、広がり面と平行な方向にずらせて配置されている。

【 0 0 0 9 】

本発明の第3の態様にかかる積層型半導体装置は、複数の電極パッドが設けられた半導体素子を積層して搭載している。ここで、各半導体素子の電極パッドは、該半導体素子の側面に配置されている。この積層型半導体装置においては、半導体素子の、電極パッドが配置されている側面が、該半導体素子の広がり面に対して傾斜している（角度をもつ）のが好ましい。

【 0 0 1 0 】

上記いずれの積層型半導体装置においても、その高さないしは厚さを小さくするために、積層方向に隣り合う半導体素子同士は、接着材（例えば、ダイボンド材）を用いて直接接合されているのが好ましい。

【 0 0 1 1 】

なお、特開2001-217383号公報、特開2001-298150号公報あるいは特開2000-156464号公報は、ダミー素子を用いずに半導体素子を積層した積層型半導体装置を開示している。しかし、これらの従来の積層型半導体装置は、本発明の第1～第3の態様にかかる積層型半導体装置の特徴、すなわち、電極パッドが四角形の隣り合う2つの辺の近傍に集中して配置されているといった特徴（第1の態様）、電極パッドが設けられた広がり面同士が互いに向かい合っているといった特徴（第2の態様）、あるいは電極パッドが半導体素子の側面に配置されているといった特徴（第3の態様）を備えていない。

【 0 0 1 2 】

【発明の実施の形態】

以下、本発明の実施の形態を具体的に説明する。

実施の形態 1.

図 1 (a) ~ (c) は、本発明の実施の形態 1 にかかる同一サイズの 4 つの半導体素子を、電極パッドを備えた広がり面が同一方向（上方）を向くように積層して搭載している積層型半導体装置を示している。図 1 (a) に示すように、この積層型半導体装置では、半導体素子 1 の長方形（ないし正方形）の一方の広がり面上において、この長方形の 4 つの辺のうちの、隣り合う 2 つの辺の近傍に、複数の電極パッド 2（配線パッド）が、対応する辺に沿って一列に並んで配置されている。

【0013】

そして、図 1 (b) に示すように、積層方向、すなわち広がり面と直交する方向に隣り合う 2 つの半導体素子 1 は、平面視で（すなわち、広がり面と直交する方向にみて）、各半導体素子 1 の電極パッド 2 が、それぞれ、他方の半導体素子 1 と重ならないように、広がり面と平行である X 1 - X 2 方向及び Y 1 - Y 2 方向にずらせて配置されている。

【0014】

図 1 (c) に示すように、各電極パッド 2（図 1 (b) 参照）上には、これをワイヤ 9 と接続するワイヤ接続部 3 が設けられている。また、積層方向に隣り合う半導体素子 1 は、ダミー素子を用いずに、ダイボンド材 5 を用いて直接接合されている。このため、積層型半導体装置の全体としての高さないし厚さを、十分に小さくすることができる。また、前記の特開平 6 - 2 4 4 3 6 0 号公報に開示された積層型半導体装置のように半導体素子周縁部に段差を形成する必要がないので、製造プロセスが簡素なものとなる。かつ、薄い半導体素子 1 を用いることができるので、該積層型半導体装置の高さないし厚さを、より小さくすることができる。

【0015】

なお、図示していないが、半導体素子 1 は、例えば図 4 (c) に示す従来の半導体素子 1 0 1 と同様に、シリコン基板上に、順に、配線層と窒化ケイ素膜とが積層された構造を有している。また、電極パッド 2 の下面は配線層に接続され、上面は外部に露出している。

【 0 0 1 6 】

図 1 (c) から明らかなとおり、この積層型半導体装置では、上側の 2 つの半導体素子 1 については、各ワイヤ接続部 3 ないし電極パッド 2 の上側には何も存在しない。したがって、ワイヤ接続、すなわちワイヤ 9 の電極パッド 2 への接続を容易に行うことができる。また、下側の 2 つの半導体素子 1 については、各ワイヤ接続部 3 ないし電極パッド 2 の上側に、半導体素子 1 の厚さと 2 つのダイボンド材 5 の厚さの合計に対応する高さの空間部が存在する。このため、ワイヤ接続ないしワイヤ 9 の電極パッド 2 への接続を、支障なく行うことができる。

【 0 0 1 7 】

以上、実施の形態 1 にかかる積層型半導体装置では、半導体素子 1 の配線パッド 2 を、長方形（ないし正方形）の広がり面において、隣り合う（端部同士がつながる）2 つの辺の近傍に配置することにより、ワイヤ接続を行うための空間を確保することができる。このため、ダミー素子を配置することなく、ダイボンド材 5 のみで半導体素子 1 同士を結合することができ、薄型の積層型半導体装置を実現することができる。また、広がり面において、1 つの辺の近傍のみに電極パッド 2 を配置する場合に比べて、電極パッド 2 の数を多くすることができ、該積層型半導体装置の多機能化が容易となる。

【 0 0 1 8 】

実施の形態 2.

以下、図 2 (a)、(b) を参照しつつ、本発明の実施の形態 2 を説明する。なお、図 2 (a)、(b) において、実施の形態 2 にかかる図 1 (a) ~ (c) 中の部材と共通な部材には、図 1 (a) ~ (c) 中のものと同一の参照番号が付されている。図 2 (a)、(b) は、実施の形態 2 にかかる、同一サイズの 2 つの半導体素子を、電極パッドを有する広がり面が互いに向き合うように積層して搭載している積層型半導体装置を示している。なお、両半導体素子 1 は、ダイボンド材 5 を用いて直接接合されている。図 2 (b) に示すように、この積層型半導体装置では、半導体素子 1 の長方形（ないし正方形）の一方の広がり面上において、この長方形の 1 つの辺の近傍に、複数の電極パッド 2（配線パッド）が、該辺に沿って一列に並んで配置されている。

【0019】

そして、図2(a)に示すように、両半導体素子1は、各半導体素子の電極パッド2がそれぞれ他方の半導体素子1と重ならないように、電極パッド2の配列と直交し、かつ広がり面と平行となる方向にずらせて配置されている。図2(a)から明らかなとおり、この積層型半導体装置では、上側の半導体素子1については、電極パッド2の上方には何も存在しないので、ワイヤ接続、ないしワイヤ9の電極パッド2への接続を容易に行うことができる。また、下側の半導体素子1については、電極パッド2の下方には、少なくとも、半導体素子1の厚さとダイボンド材5の厚さの合計に対応する高さhの空間部が存在するので、ワイヤ接続、ないしワイヤ9の電極パッド2への接続を支障なく行うことができる。

【0020】

以上、実施の形態2にかかる積層型半導体装置でも、半導体素子同士が、ダミー素子を用いずにダイボンド材5を用いて直接接合されているので、積層型半導体装置の全体としての高さないし厚さを、十分に小さくすることができる。また、半導体素子の周縁部に段差を形成する必要がないので、製造プロセスが簡素なものとなり、かつ薄い半導体素子1を用いることができる。

【0021】

実施の形態3.

以下、図3(a)、(b)を参照しつつ、本発明の実施の形態3を説明する。なお、図3(a)、(b)において、実施の形態1にかかる図1(a)～(c)中の部材と共通な部材には、図1(a)～(c)中のものと同一の参照番号が付されている。図3(a)、(b)は、実施の形態3にかかる、同一サイズの2つの半導体素子を、対応する広がり面が同一方向を向くように積層して搭載した積層型半導体装置を示している。

【0022】

図3(a)、(b)に示すように、この積層型半導体装置においては、半導体素子1は、シリコン基板6(Si基板)の上に、順に、配線層7と、窒化ケイ素膜8(保護層)とが積層されてなる構造を備えている。そして、シリコン基板6の側面は、該シリコン基板6の水平な広がり面(上面及び下面)に対して傾斜し

ている（角度がついている）。ここで、配線層 7 は、シリコン基板の水平な上面と傾斜している側面とを覆うように配置されている。また、電極パッド 2 は、配線層 7 の水平な上面の一部と傾斜している側面とにわたって形成されている。なお、窒化ケイ素膜 8 は、シリコン基板 4 の水平な上面に対応する部分において、電極パッド 2 と配線層 7 とを覆っている。

【 0 0 2 3 】

上側の半導体素子 1 の下面（シリコン基板 6 の下面）と、下側の半導体素子 1 の上面（窒化ケイ素膜 8 の上面）とは、対応する広がり面が同一方向を向くようにしてダイボンド材 5 を用いて直接接合されている。そして、ワイヤ接続部 3 は、半導体素子 1 の傾斜した側面において電極パッド 2 の上に形成されている。

【 0 0 2 4 】

再び図 4（c）に示すように、従来の半導体素子 1 0 1 では、シリコン基板 1 0 6 上に、各種配線層 1 0 7 ないし膜層 1 0 7 を形成する。そして、この後、半導体素子 1 0 1 の上面に、アルミニウム（A 1）配線層からなる電極パッド 1 0 2 を形成し、その後窒化ケイ素膜 1 0 8（保護膜）を形成する。

実施の形態 3 にかかる半導体素子 1 の形成手順は、基本的には、上記従来の半導体素子 1 0 1 の場合と同様である。しかし、シリコン基板 6 の側面を図 3（a）に示すように傾斜させ（角度をつける）、シリコン基板 6 上に各種配線層 7 ないし膜層 7 を形成した後、半導体素子 1 の傾斜している側面に電極パッド 2 を形成する。この後、窒化ケイ素膜 8 を形成する。

【 0 0 2 5 】

図 3（b）から明らかなおりとおり、この積層型半導体装置では、半導体素子 1 の傾斜した側面に電極パッド 2 を配置しているので、その上方に、ワイヤ接続、ないしワイヤ 9 の電極パッド 2 へ接続を行うための空間部を形成する必要がない。このため、ダミー素子を配置することなく、ダイボンド材 5 のみで半導体素子 1 を積層することができる。よって、積層型半導体装置の全体としての高さないしは厚さを小さくすることができ、薄型の積層型半導体装置を実現することができる。

【 0 0 2 6 】

【発明の効果】

本発明の第1の態様にかかる積層型半導体装置によれば、電極パッドは半導体素子の四角形の広がり面において隣り合う2つの辺の近傍に配置される。そして、積層方向に隣り合う半導体素子は、各半導体素子の電極パッドが他方の半導体素子と重ならないようにずらせて配置される。このため、同一サイズの複数の半導体素子が積層された場合、半導体素子間にダミー素子を挿入しなくても、電極パッドの上方に空間部が形成され、ワイヤ接続ないしはワイヤ9の電極パッド2への接続を容易に行うことができる。したがって、積層型半導体装置の全体としての高さないし厚さを小さくすることができ、該積層型半導体装置を小型化することができる。

【0027】

本発明の第2の態様にかかる積層型半導体装置によれば、電極パッドは半導体素子の四角形の広がり面の1つの辺の近傍に配置される。そして、両半導体素子は、電極パッドが設けられた広がり面同士が互いに向かい合い、かつ各半導体素子の電極パッドがそれぞれ他方の半導体素子と重ならないようにずらせて配置される。このため、半導体素子間にダミー素子を挿入しなくても、電極パッドの近傍に空間が形成され、ワイヤ接続、ないしはワイヤ9の電極パッドへの接続を容易に行うことができる。したがって、積層型半導体装置の全体としての高さないし厚さを小さくすることができ、該積層型半導体装置を小型化することができる。

【0028】

本発明の第3の態様にかかる積層型半導体装置によれば、電極パッドが半導体素子の側面に配置される。このため、電極パッド近傍には空間部が形成され、ワイヤ接続、ないしはワイヤの電極パッドへの接続を容易に行うことができる。したがって、積層型半導体装置の全体としての高さないし厚さを小さくすることができ、該積層型半導体装置を小型化することができる。

【0029】

本発明の第3の態様にかかる積層型半導体装置において、半導体素子の側面が、広がり面に対して傾斜している場合は、電極パッドの上面が斜め上方を向くの

で、ワイヤ接続、ないしはワイヤの電極パッドへの接続を容易に行うことができる。

【 0 0 3 0 】

上記各積層型半導体装置において、積層方向に隣り合う半導体素子同士が、接着材を用いて直接接合されている場合、積層型半導体装置の全体としての高さないし厚さは、半導体素子の厚みの合計より若干大きくなるだけであるので、ほぼ最大限に積層型半導体装置の高さないしは厚さを小さくすることができる。

【図面の簡単な説明】

【図 1】 (a) は、実施の形態 1 にかかる半導体素子の平面図であり、(b) は (a) に示す 2 つの半導体素子をずらして配置した状態を示す平面図であり、(c) は (a) に示す半導体素子を積層して搭載した積層型半導体装置の立面断面図である。

【図 2】 (a) は実施の形態 2 にかかる積層型半導体装置の立面断面図であり、(b) は (a) に示す積層型半導体装置を構成する半導体素子の平面図である。

【図 3】 (a) は実施の形態 3 にかかる半導体素子の立面断面図であり、(b) は (a) に示す半導体素子を積層して搭載した積層型半導体装置の立面断面図である。

【図 4】 (a) は、従来の半導体素子の平面図であり、(b) は (a) に示す半導体素子を積層して搭載した積層型半導体装置の立面断面図であり、(c) は (a) に示す半導体素子の立面断面図である。

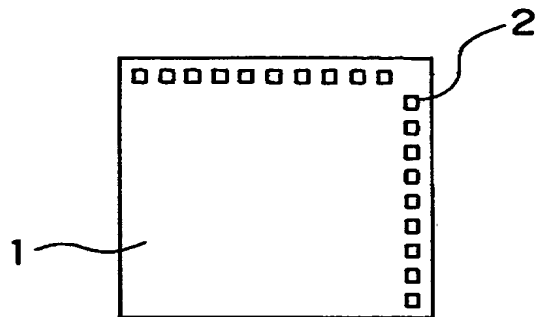
【符号の説明】

- 1 半導体素子、 2 電極パッド（配線パッド）、 3 ワイヤ接続部、
- 5 ダイボンド材、 6 シリコン基板、 7 配線層、 8 窒化ケイ素膜、
- 9 ワイヤ。

【書類名】 図面

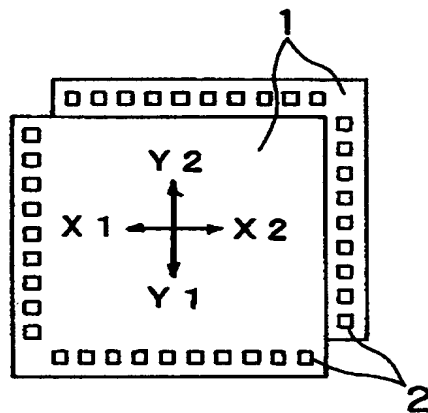
【図 1】

(a)

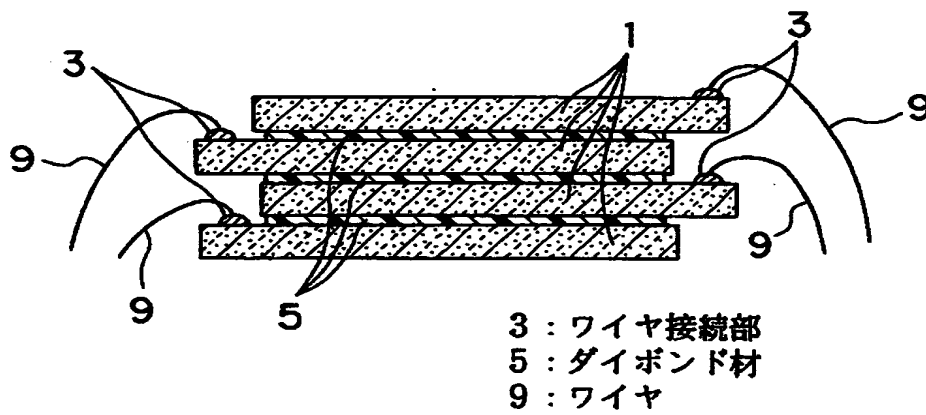


1 : 半導体素子
2 : 電極パッド

(b)

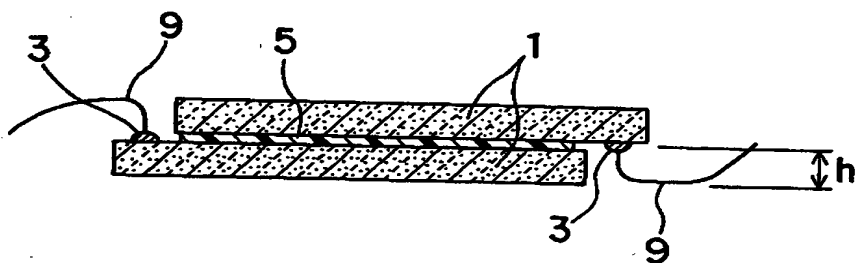


(c)

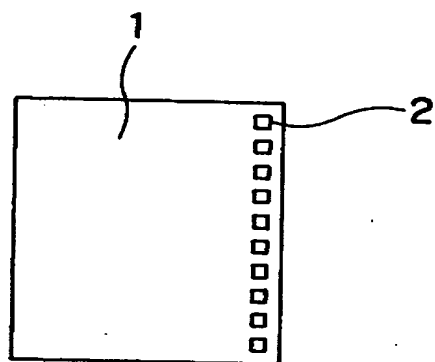


【図 2】

(a)

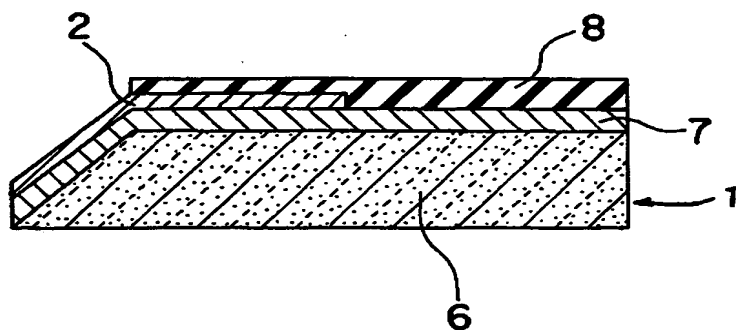


(b)



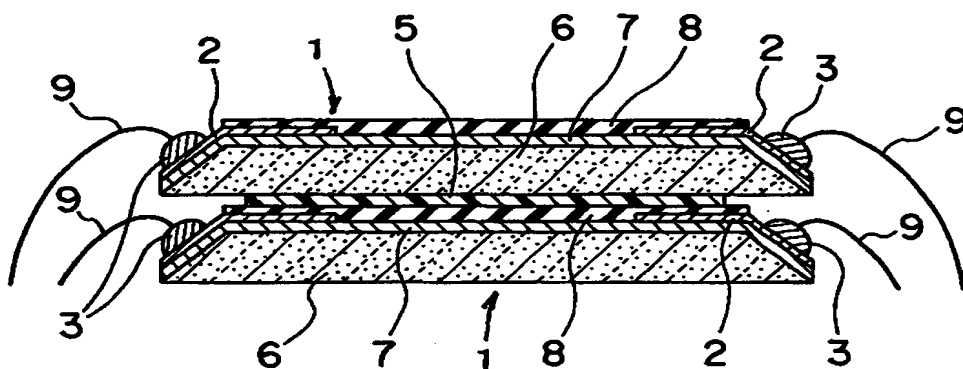
【図 3】

(a)



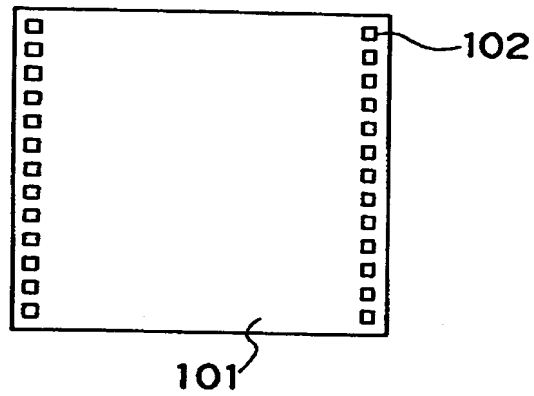
6 : シリコン基板
7 : 配線層
8 : 窒化ケイ素膜

(b)

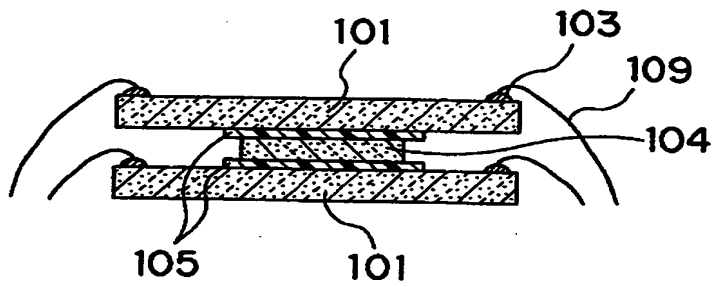


【図4】

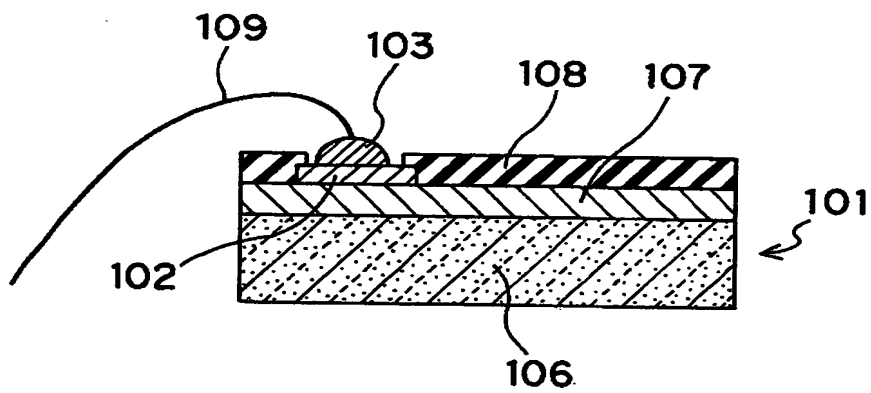
(a)



(b)



(c)



【書類名】 要約書

【要約】

【課題】 同一サイズの複数の半導体素子が積層された場合でも、高さないし厚さを小さくすることができ、十分な小型化を図ることができる積層型半導体装置を提供する。

【解決手段】 積層型半導体装置では、半導体素子 1 の配線パッド 2 を、長方形（ないし正方形）の広がり面において、隣り合う 2 つの辺の近傍に配置することにより、ワイヤ接続を行うための空間部を確保することができる。このため、ダミー素子を配置することなく、ダイボンド材 5 のみで半導体素子 1 同士を結合することができ、薄型の積層型半導体装置を実現することができる。また、広がり面において、1 つの辺の近傍のみに電極パッド 2 を配置する場合に比べて、電極パッド 2 の数を多くすることができ、該積層型半導体装置の多機能化が容易となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社



Creation date: 31-07-2003
Indexing Officer: TBERHE1 - TERHASE BERHE
Team: OIPEScanning
Dossier: 10626881

Legal Date: 25-07-2003

No.	Doccode	Number of pages
1	TRNA	2
2	SPEC	22
3	CLM	5
4	ABST	1
5	DRW	6
6	OATH	3
7	IDS	3
8	NPL	13
9	NPL	6
10	FRPR	21

Total number of pages: 82

Remarks:

Order of re-scan issued on